

环形振荡器对称负载特性分析

桑红石, 方海涛, 余 萌, 王 文, 谢连波

(华中科技大学 图像识别与人工智能研究所 多谱信息处理技术国家级重点实验室, 武汉 430074)

摘 要: 对称负载一经提出后, 由于其对称性好、高线性度、易于实现等优点而在电荷泵锁相环压控振荡器的设计中广泛采用. 文中就对称负载的 $I-V$ 特性在一级近似模型下进行理论分析, 并采用 SMIC 0.18 μm CMOS 工艺库进行仿真, 在一阶模型近似下的仿真结果与理论推导完全一致. 此外, 从影响压控振荡器性能的角度, 对于对称性负载设计参数的选取给出了指导性意见.

关键词: CMOS; 对称负载; 自偏置技术; 压控振荡器

中图分类号: TN433

文献标识码: A

文章编号: 1000-7180(2011)05-0197-04

Load Characteristics of Symmetric—Load Ring VCOs

SANG Hong-shi, FANG Hai-tao, YU Meng, WANG Wen, XIE Lian-bo

(National Key Laboratory of Science & Technology on Multi-Spectral Information Processing,
Institute of Pattern Recognition and Artificial Intelligence,
Huazhong University of Science and Technology, Wuhan 430074, China)

Abstract: Because of its advantages of high linearity, good symmetry and easy to implement, symmetric load is widely used when first put forward, especially in the VCO part of the charge pump PLL design. In this paper gave a detailed analysis of the symmetric load's IV characteristics based on approximate L1 model in theory, and the simulation results were fully consistent with the theoretical analysis by using SMIC 0.18 μm CMOS process. In addition, this paper, from the point of affecting the performance of VCO, gives some guidance for the design parameters selection of the symmetry load.

Key words: CMOS; symmetric load; self-biased techniques; voltage controlled oscillator

1 引言

在锁相环(Phase-Locked Loop, PLL)的不同的实现结构中, 比较有影响力的是 Maneatis 提出的基于 Self-Biased Techniques 的 PLL^[1-2], 其特点是: 锁相环的阻尼系数(ζ)与工艺、温度和电压(Process, Voltage, Temperature, PVT)变化无关, 自然频率 ω_n 与输入基准频率之比固定(即自适应带宽). 其中, 这种基于对称负载的环形压控振荡器对整个 PLL 的性能起到关键性作用.

对称负载的设计思想的最初原型来自 Young 提出的压控电阻(Voltage-Controlled Resistor, VCR)^[3], 后来 Maneatis 经过改进提出了对称负载

(Symmetric Load)^[4]这个概念, 其实二者的本质都是得到负载呈中心对称的 $I-V$ 特性曲线. 由于对称负载具有对称性, 能够实现很高的噪声抑制能力, 但是其噪声抑制能力受负载中心对称点两边小信号电阻的影响, 因此有必要就对称负载进行理论分析, 并在此基础上对设计中负载管参数的选取提供理论指导. 已有的参考文献仅给出对称负载的仿真结果^[1,2,4], 没有理论推导, 为电路建模带来一定的困难. 文中从理论上分析了对称负载的行为特性, 并利用仿真结果证明该模型在一阶近似上的正确性. 在此基础上, 进一步考虑高阶效应, 分析了影响对称负载性能的因素以及相关的设计要点.

收稿日期: 2010-08-16; 修回日期: 2010-09-27

基金项目: 国家自然科学基金项目(60736010)

$$2I_d = k[2(V_{DD} - V_{ctrl} - |V_{TH}|)V_{ab} - V_{ab}^2] \quad (12)$$

$$\frac{\partial(2I_d)}{\partial(V_{ab})} = 2k(V_{DD} - V_{ctrl} - |V_{TH}| - V_{ab}) \quad (13)$$

文中取 $V_{TH} = -0.6V$, 在不同控制电压下对称负载工作分两种情况加以说明:

① 当 $V_{ctrl} < 0.6V$ 时: 若 $V_X < |V_{TH}| + V_{ctrl}$, 工作在阶段(1); 若 $V_{ctrl} + |V_{TH}| < V_X < 1.2V$, 工作在阶段(2); 若 $V_X > 1.2V$, 工作在阶段(3).

② 当 $V_{ctrl} > 0.6V$ 时: 若 $V_X < 1.2V$, 工作在阶段(1); 若 $V_X > 1.2V$ 时, 工作在阶段(3).

由上述分析可知: 为了得到小信号电阻的线性关系, 实现对称负载的优点, 应该避免 MOS 管工作在阶段(2). 这样就选取阶段(1)、(3) 作为分析对象.

关于图 4 的对称负载在不同控制电压 V_{ctrl} 下的 I-V 特性分析如下: 由于对称中心两边小信号电阻相等, 由式(3) 和式(13) 可以得到:

$$2k(V_{ab} - |V_{TH}|) = 2k(V_{DD} - V_{ctrl} - |V_{TH}| - V_{ab}) \quad (14)$$

可以得到:

$$V_{ab} = \frac{V_{DD} - V_{ctrl}}{2} = V_{DD} - V_X$$

$$\text{即 } V_X = \frac{V_{DD} + V_{ctrl}}{2} \quad (15)$$

式(15) 即为中心对称点, 即在不同控制电压下 I-V 负载特性曲线关于 $\frac{V_{ctrl} + V_{DD}}{2}$ 中心对称.

现在考虑中心对称点两边的情况:

左边:

$$\begin{aligned} V_X - \Delta X \Rightarrow V'_{ab} &= V_{DD} - (V_X - \Delta X) \\ &= \frac{V_{DD} - V_{ctrl}}{2} + \Delta X \end{aligned} \quad (16)$$

$$\begin{aligned} g_{mL} &= 2k(V'_{ab} - |V_{TH}|) \\ &= 2k\left(\frac{V_{DD} - V_{ctrl}}{2} - |V_{TH}| + \Delta X\right) \end{aligned} \quad (17)$$

右边:

$$\begin{aligned} V_X + \Delta X \Rightarrow V'_{ab} &= V_{DD} - (V_X + \Delta X) \\ &= \frac{V_{DD} - V_{ctrl}}{2} - \Delta X \end{aligned} \quad (18)$$

$$\begin{aligned} g_{mR} &= 2k(V'_{ab} - |V_{TH}|) \\ &= 2k\left(\frac{V_{DD} - V_{ctrl}}{2} - |V_{TH}| + \Delta X\right) \end{aligned} \quad (19)$$

由式(17) 和式(19) 可知: $g_{mL} = g_{mR}$, 这样在中心点两边小信号电阻相等.

3 对称性负载特性分析

对上述对称负载用 Hspice 进行电路仿真分析, 分别采用一阶近似模型和 SMIC 0.18 μm CMOS 工

艺进行仿真, 仿真结果如图 5 所示. 上面是对称负载的 I-V 特性曲线, 下面是其对应的微分曲线, 即小信号电阻的倒数. (a) 是一阶近似模型仿真结果. 可以看出在中心点两侧小信号电阻相等, 这与前面的分析很好的吻合; (b) 是在 SMIC 0.18 μm 工艺下进行仿真的结果. 发现波形略有畸变, 这是因为一阶近似忽略了沟长调制效应、阈值电压变化、迁移率饱和等高阶效应, 而 SMIC 0.18 μm 工艺采用了 Level 49 模型, 这个模型中考虑了实际器件的高阶效应^[5], 这也就是图 5(a) 和(b) 间出现差异的原因.

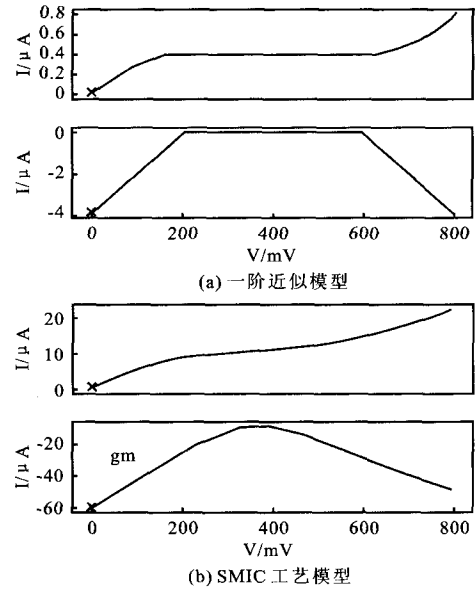


图 5 对称负载 I-V 曲线和微分曲线

由于短沟道效应对 MOS 管的 I-V 特性的影响, 因此需要分析沟道长度对对称负载的 I-V 特性的影响.

$$L_{eff} = L - 2\Delta L, W_{eff} = W - 2\Delta W \quad (20)$$

由式(17)、(19) 可知:

$$g_m \propto \frac{W_{eff}}{L_{eff}} \quad (21)$$

考虑到本设计中 W 一般为 L 的数倍, 因此:

$$W_{eff} \approx W \quad (22)$$

在形状因子一定的情况下, 当沟道长度 L 较大时, $L_{eff} \approx L$, 这样 g_m 就与沟道长度 L 无关; 当沟道长度 L 较小时, 由于受到有效沟道长度的影响, g_m 会变大, 负载对称性变差.

不同沟道长度下对称负载的 I-V 特性如图 6 所示. 图 6(a) 表明在一阶近似模型下 I-V 特性与沟道长度无关; 而图 6(b) 所示的 SMIC 0.18 μm 工艺仿真结果表明, 考虑高阶效应后, 负载 I-V 特性与沟道长度有关, 沟道长度越小, 对称性越差^[6]. 仿真结果表明, 当沟道长度 $L \geq 0.5\mu m$ 时, I-V 曲线呈现与一

阶近似模型相近的结果。

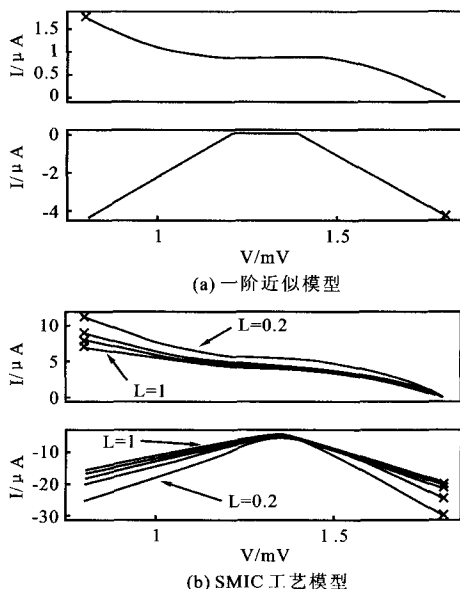


图6 不同沟道长度下对称负载的 I-V 特性

因此,为了保证负载具有较好的对称性,M1、M2 必须具有一定的沟道长度,但是沟道长度又不能太大,否则由于较大的管子尺寸导致寄生电容也很大,使得 VCO 的振荡频率减小^[1],因此需要通过仿真分析选择合适的晶体管尺寸。另外在版图布局上还需要合理的匹配^[7]以减少失配造成的误差。

4 结束语

与二极管负载和偏置电流源负载相比,对称负载由于其对称性可以更好地抑制共模信号噪声,因此,对称负载广泛应用于低噪声结构。由分析可知:对称负载的 I-V 特性关于控制电压中心对称,因此在

VCO 的设计中静态工作点应该设置在这个中心对称点处,这样更有利于抑制共模噪声。由于受有效沟道长度的影响,实际设计中对称负载的沟道长度一般不能取最小值,需要通过仿真折中来取适当的值。

参考文献:

- [1] Maneatis J G. Low-jitter process-independent DLL and PLL based on self-biased techniques[J]. IEEE Journal of Solid-State Circuits, 1996,31(11):1723-1732.
- [2] Maneatis J G. Self-biased high-bandwidth low-jitter 1-to-4096 multiplier clock generator PLL[J]. IEEE Journal of Solid-State Circuits, 2003,38(11):1795-1803.
- [3] Young I, Greason J, Wong K, et al. A PLL clock generator with 5-110 MHz lock range for microprocessors [J]. IEEE Journal of Solid-State Circuits, 1992, 27 (11):1599-1607.
- [4] Maneatis J G, Horowitz M. Precise delay generation using coupled oscillators[J]. IEEE Journal of Solid-State Circuits, 1993,28(12):1273-1282.
- [5] Foty D P. Mosfet Modeling with SPICE[M]. Upper Saddle River:Prentice-Hall, 1997.
- [6] 龚俊平,冯全源. MOS 晶体管失配模型研究及应用[J]. 微电子学与计算机, 2009,26 (11):47-50.
- [7] 吕江巍,张有光. 模拟集成电路版图中的对称检测与提取方法[J]. 微电子学与计算机, 2008,25 (1):185-189.

作者简介:

桑红石 女,(1970-),副教授.研究方向为数字图像与视频信号处理算法、并行计算体系结构与专用微处理器体系结构。

方海涛 男,(1988-),硕士研究生.研究方向为频率合器。

余萌 女,(1987-),硕士研究生.研究方向为频率合器。

(上接第 196 页)

统进行扩展:为测试程序设计可视化的界面,使得测试过程操作更加人性化,同时对互连线等组件基于扫描链的内建自测试方法进行有益的探索。

参考文献:

- [1] 饶全林,何春.一款雷达信号处理 SOC 芯片的存储器内建自测试设计[J]. 微电子学与计算机, 2008,25(7):95-99.
- [2] 郑晓光,白国强.一种基于 JTAG 的 SOC 测试电路设计及实现[J]. 微电子学与计算机, 2009,26(1):187-189.
- [3] 刘洋,吴王华,周晓方.一种基于 JTAG 的软硬件协同 SOC 调试接口[J]. 微电子学与计算机, 2007,24(11):34-38.
- [4] Gupta S, Rajski J, Tyszer J. Test pattern generation based on arithmetic operations [J]. Proc of International Conf. on Computer-Aided Design, 1994, 12(1):117-124.

- [5] 宋克柱,杨小军,王砚方.边界扫描测试的原理及应用设计[J].电子技术, 2001,24(10):29-32.

- [6] 吴继娟,孙媛媛,刘桂艳.基于 BIST 的 FPGA 逻辑单元测试方法[J]. 哈尔滨工业大学学报, 2004, 36 (8): 1074-1076.

- [7] Wang S J, Tsai T M. Test and diagnosis of faulty logic blocks in FPGAs[C]// Proc IEEE International Conf on Computer Aided Design. San Jose, CA: IEEE, 1997: 722-727.

作者简介:

郭德春 男,(1986-),硕士研究生.研究方向为电路与系统。

杨金孝 男,(1964-),副教授.研究方向为微电子学、电路与系统。